

Receptor de Microondas com Aplicações em Guerra Eletrônica Baseado em Divisores de Frequência

C. Sarzeda* e A. Podcameni**

* Grupo de Guerra Eletrônica/ Instituto de Pesquisas da Marinha / Rua Ipiru, 2 – Jardim Guanabara – Ilha do Governador – Rio de Janeiro – 21931-090
** CETUC/PUC-Rio / Rua Marquês de São Vicente, 225 / 7K – Gávea – Rio de Janeiro – 22453-900

Resumo — O propósito principal deste trabalho é mostrar que uma cascata de divisores de frequência por dois pode ser utilizada como conversor de frequência em RF de um receptor digital de Guerra Eletrônica (GE). A análise do divisor de frequência por dois apresentado aplica o princípio da geração subharmônica, usando a capacitância porta-fonte de um Transistor de Alta Mobilidade de Elétron Pseudomórfica (PHEMT) como reatância não-linear. Um procedimento resumido de projeto foi apresentado.

Palavras-chaves — Guerra Eletrônica, linhas de transmissão acopladas, conversão de frequência, divisor de frequência, geração subharmônica não-linear, divisor paramétrico a PHEMT, ressoador em microondas.

I. INTRODUÇÃO

Os desenvolvimentos ocorridos ao longo das duas últimas décadas na Eletrônica, principalmente nas áreas de microondas e de computação, introduziram um alto grau de sofisticação e desempenho nos sistemas de Guerra Eletrônica (GE). Por outro lado, os acontecimentos ocorridos desde o conflito das Malvinas até o segundo conflito no Iraque, demonstraram a extraordinária importância destes sistemas.

Dentre as principais atividades da GE destacam-se as Medidas de Apoio Eletrônico (MAE). Os sistemas de MAE são analisadores de ambiente eletromagnético de emprego tático. Como os sinais a serem interceptados e identificados não são conhecidos a priori, não é possível projetar-se um receptor de interceptação tão eficiente quanto, por exemplo, o receptor de um sistema radar.

Para que uma emissão radar seja interceptada e classificada, os principais parâmetros do sinal radar devem ser medidos com precisão razoável. Estes parâmetros são: a frequência da portadora, o ângulo de chegada, a amplitude, a largura de pulso, e o tempo de chegada do pulso de sinal, além da taxa de repetição de pulsos, do tipo de varredura, dentre outros. Tudo isto em uma banda de frequências extensa (2 GHz a 18 GHz) e em uma faixa dinâmica grande (-65 dBm a 15 dBm).

II. RECEPTOR DIGITAL

Com o desenvolvimento da conversão analógico-digital e da capacidade de processamento digital, uma tecnologia que se tem mostrado promissora é a do receptor digital, apresentado na Fig. 1. Este converte o sinal de radiofrequência (RF) de entrada para uma frequência intermediária (FI) para que seja digitalizada por conversores analógico-digitais (ADCs). Assim, um processamento digital do sinal pode ser aplicado.

Algumas das principais vantagens, deste tipo de receptor, estão relacionadas ao processamento digital do sinal. Este é mais robusto, já que não é afetado por variações de temperatura; de ganho; ou de nível DC, como nos circuitos analógicos. Portanto, a calibração necessária é menor [1]. Contudo, presentemente, os ADCs são capazes de converter sinais em uma banda máxima de 1 GHz. Assim sendo, uma forma de se adaptar uma banda de RF de trabalho com cerca de 16 GHz em uma banda de 1 GHz é de extrema importância.

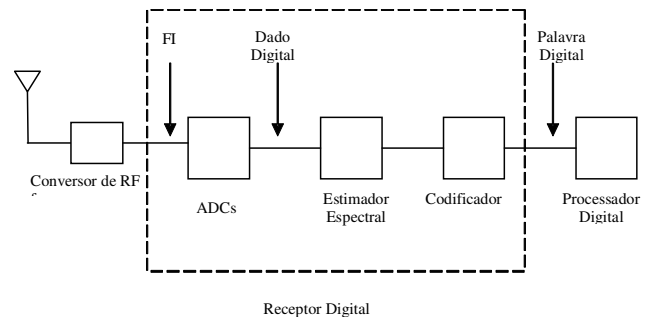


Fig. 1. Diagrama em blocos de um receptor digital de GE.

Vários têm sido os mecanismos propostos, entretanto, cada um apresenta as suas vantagens e desvantagens. Um método de força bruta é utilizar vários receptores digitais de banda-estreita, em paralelo. Outra possibilidade é o emprego de divisores de frequência. Estes dispositivos têm como características importantes à simplicidade de projeto aliada a um menor número de componentes. Portanto, este é um bom candidato a conversor de frequência em receptores digitais de GE [2].

III. CONVERSOR DE FREQUÊNCIA

A Fig. 2 apresenta uma solução possível para o bloco de conversão de frequência de RF mostrado na Fig. 1. Este é, basicamente, uma cascata de divisores de frequência por dois.

Este conversor de frequência permite a compactação de uma banda de 16 GHz (2 GHz a 18 GHz) em uma banda de 1 GHz (DC a 1 GHz). Para tal, é, inicialmente, realizada uma conversão (misturação) de descida. Assim, a banda de frequências de entrada de 2 GHz a 18 GHz é convertida com auxílio de um misturador e um oscilador em 2 GHz em uma banda de DC a 16 GHz. Desta forma, podem ser utilizados quatro divisores de frequência por dois, em cascata, cada um deles cobrindo uma banda de uma oitava. Em cada uma das

saídas do pentaplexer é utilizado um detector para determinar a ocorrência de atividade nesta banda. Desta forma, a informação derivada destes pode ser utilizada como os bits mais significativos do dado de frequência.

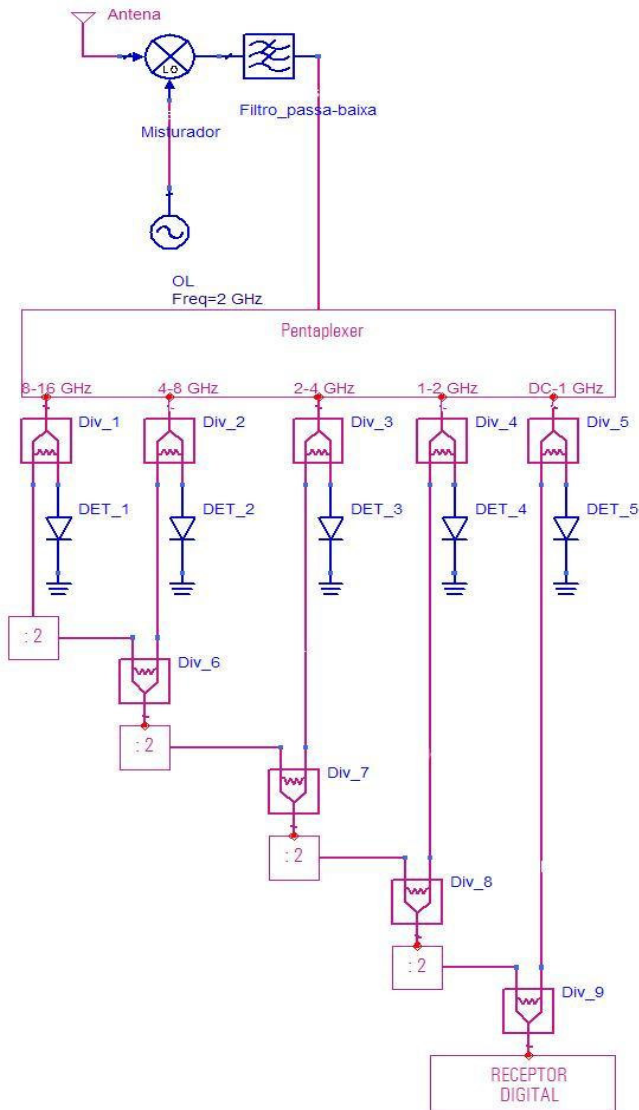


Fig. 2. Diagrama em blocos de um conversor de frequência baseado em divisores de frequência por dois.

IV. DIVISÃO DE FREQUÊNCIA

Os divisores de frequência têm muitas aplicações em sistemas de comunicações e militares [3], tais como Receptores Digitais de GE e Memória Digital de Radiofrequência (DRFM). Entre as diversas propriedades interessantes destes dispositivos está a habilidade de transladar uma banda de microondas muito larga em outra menor, centrada em uma frequência mais baixa, onde se pode empregar, facilmente, uma conversão analógico-digital, de forma que o poder da lógica digital possa ser empregado no processamento do sinal [2].

Para enfatizar a diferença entre a divisão de frequência e a translação de frequência por meio de misturação (heterodinação), a Fig. 3a apresenta o resultado de uma operação de divisão por dois em uma banda de entrada de 8 GHz a 16

GHz, enquanto a Fig. 3b mostra o resultado da conversão de descida da mesma banda utilizando-se um oscilador local (OL) na frequência de 8 GHz. É evidente que o divisor de frequência comprimiu a banda original de largura de uma oitava de 8 GHz em uma banda de uma oitava de 4 GHz. Um estágio subsequente poderia comprimi-la para uma banda menor, de 2 GHz de largura. Empregando-se mais dois estágios de divisão por dois, a banda original será comprimida para 500 MHz.

O processo de heterodinação, de outro lado, não oferece esta compressão de banda. Ao contrário, a largura de banda relativa $\Delta f/f$, na realidade aumenta, já que na Fig. 3b a largura de banda relativa na entrada é de 66,7 %, correspondendo a uma oitava, enquanto a largura de banda relativa na saída aumenta para 200 %. Portanto, o processo de heterodinação preserva a banda absoluta de frequências, enquanto o processo de divisão de frequência reduz a banda absoluta de frequências de um sinal pela divisão de cada componente de frequência na banda de entrada por um valor constante e, assim, preservando a banda relativa.

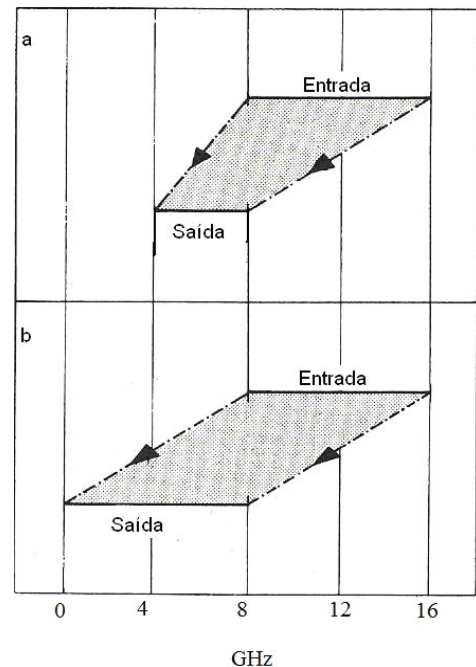


Fig. 3. a. Compressão de banda realizada pelo processo de divisão de frequência por dois; b. Conversão (translação) de frequência realizada por um misturador.

V. DIVISORES DE FREQUÊNCIA

Existe um grande número de concepções diferentes de divisores de frequência descritos na literatura [4]. Cada um deles pode ser classificado em uma de duas categorias básicas: analógicos e digitais.

Os divisores digitais de frequência permitem a divisão instantânea de um sinal em uma base ciclo-a-ciclo [5]. Eles são capazes de atuar até a faixa de frequência de ondas milimétricas. Até o momento o recorde é de um projeto da BAE Systems, manufaturado pela Vitesse, atingindo 152 GHz [6]. Contudo, este tipo de divisor apresenta um consumo elevado de potência.

Os divisores digitais de frequência podem ser classificados em duas categorias: estáticos e dinâmicos [7] e [8]. A imple-

mentação mais popular é a estática, onde a célula de memória é um circuito biestável, já nos divisores dinâmicos a célula de memória é realizada valendo-se da capacitância parasítica entre as portas dos dispositivos ativos empregados na realização do divisor.

Os divisores analógicos exibem um baixo consumo de potência, um projeto de circuito mais simples, e frequência de operação elevada; o que os torna atrativos tanto para propósitos militares como de comunicações [9].

Entre as várias soluções analógicas apresentadas até o momento [5], [10]-[24], as mais empregadas são os divisores regenerativos que foram simultaneamente e independentemente descritos em 1939 por Fortescue [13] e Miller [14]; e os divisores paramétricos de frequência que apresentam à configuração de circuito mais simples e a de banda de sincronização mais larga.

Na Fig. 4 é apresentada a configuração em diagrama em blocos de um divisor de frequência regenerativo genérico. Para que o processo de regeneração ocorra é necessário que um ruído de amplitude finita na frequência f_{out} de saída deva estar presente na malha, inicialmente; o ganho de malha deve exceder a unidade; para evitar oscilações espúrias, o ganho de malha deve ser menor que a unidade na falta de um sinal de entrada.

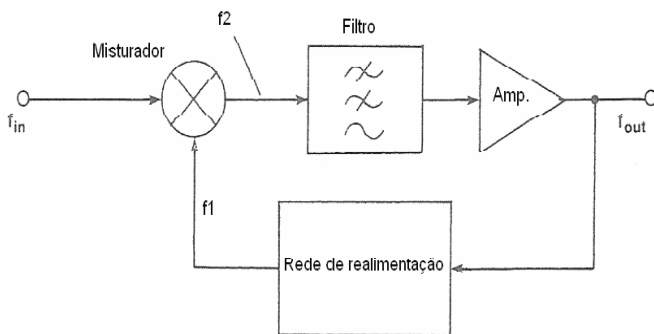


Fig. 4. Diagrama em blocos de um divisor de frequência regenerativo.

O processo de divisão regenerativa é afetado, contudo, por várias peculiaridades inerentes. Tais como: perda parcial da informação de amplitude, retardo do flanco de subida para sinais pulsados, comportamento muito ruidoso se o sinal incidente contém mais de uma frequência proeminente [5].

VI. DIVISORES DE FREQUÊNCIA PARAMÉTRICOS

A divisão paramétrica é de certa forma um processo menos comum, no qual uma oscilação subharmônica é gerada por uma reatância não-linear. Estas reatâncias canalizam energia de uma fonte AC para uma carga útil e são capazes de converterem potência de uma frequência para outra. Manley e Rowe [25] derivaram um conjunto geral de equações relacionando o fluxo de potência de entrada e saída de uma reatância não-linear ideal. Este utiliza o princípio de conservação de energia e pode ser utilizado para mostrar a possibilidade de divisão de frequência [26]. O elemento mais empregado é um diodo varactor, isto é, a capacitância não-linear de um diodo de junção abrupta. A teoria de operação básica deste dispositivo foi apresentada em [26] e [27]. Vários projetos de divisores de frequência paramétricos basea-

dos em técnicas empíricas foram descritos em [11], [28]-[33]. A Fig. 5 mostra o diagrama em blocos de um divisor de frequência paramétrico.

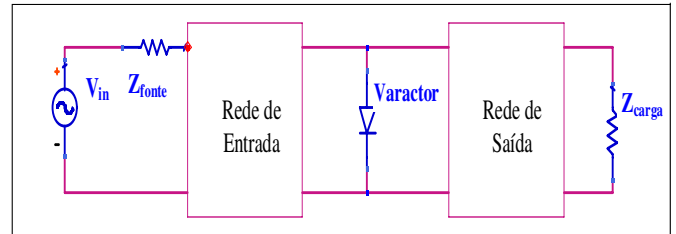


Fig. 5. Diagrama em blocos de um divisor de frequência paramétrico.

A rede de entrada da Fig. 5 age como um filtro passa-alta e como uma rede de casamento de impedância. Esta isola o gerador da frequência de saída. E, a rede de saída comporta-se como um filtro passa-baixa e como uma rede de casamento de impedância para a carga. Com isto minimizando o vazamento da frequência de entrada para a saída.

VII. DIVISORES POR DOIS PARAMÉTRICOS BALANCEADOS

Os divisores por dois paramétricos balanceados eliminam a necessidade de filtros de RF, melhorando a resposta transitente. Estes divisores de frequência apresentam um circuito ressonante subharmônico carregado por um par de reatâncias não-lineares. Um sinal de entrada na frequência f_{in} bombeia ambas as reatâncias em fase, enquanto uma ressonância de modo ímpar ocorre na frequência subharmônica $f_{in}/2$ [11]. Portanto, o ressoador é desbalanceado na frequência de entrada f_{in} e é balanceado na frequência de saída $f_{in}/2$. Para que se tenha um sinal desbalanceado na saída do divisor de frequência, é necessário um transformador do tipo “balun”. Assim, o acoplamento de entrada para saída é minimizado, já que o “balun” remove os harmônicos de ordem ímpar da frequência $f_{in}/2$ de saída.

Os divisores de frequência paramétricos a varactor têm várias vantagens práticas: têm uma característica de ruído de fase boa (os divisores digitais, por outro lado, apresentam uma propriedade de ruído de fase pobre); variações extremas de temperatura têm um efeito desprezível na largura de banda operacional e apenas um efeito pequeno na perda de conversão; são muito mais simples de usar, já que não apresentam problemas de dissipação de calor; são coerentes em fase; têm uma acurácia do processo de divisão de frequência muito boa; apresentam uma resposta a pulsos de RF excelente. Estes dispositivos têm como desvantagem, necessitarem de pré e/ou pós-amplificação, para superarem a perda de inserção [9].

Um Transistor de Alta Mobilidade de Elétron Pseudomórfica (PHEMT) apresenta uma capacitância de junção não-linear (C_{gs}) [34]. Desta forma, este pode gerar frequências subharmônicas, enquanto a transcondutância (g_m) provém ganho. Superando a necessidade de amplificação quando uma divisão de ordem elevada (2^N) é necessária [35].

A Fig. 6 apresenta um diagrama em blocos de um divisor de frequência por dois paramétrico balanceado a PHEMT. Como ressoador balanceado podem ser utilizadas duas linhas em microfita (“microstrip”), cuja ressonância de modo ímpar

deve ser calculada na frequência de saída $f_{in}/2$, levando-se em conta as reatâncias de entrada dos PHEMTs. Para a realização do transformador “balun” da saída pode-se utilizar uma estrutura que emprega múltiplas seções de linhas acopladas de $\lambda/4$ de comprimento, com uma abertura (“septum”) no plano de terra. Esta estrutura apresenta um desempenho em banda larga, superior a uma oitava, conforme demonstrado por Ang *et al.* em [36].

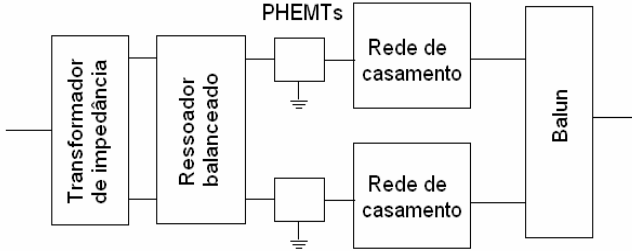


Fig. 6. Diagrama em blocos de um divisor de frequência por dois paramétrico balanceado.

VIII. PROJETO DO CIRCUITO DIVISOR

O circuito deve ser projetado de forma a minimizar o vazamento da entrada para a saída. Um par de linhas “microstrip” simétricas acopladas, em combinação com duas reatâncias não-lineares podem alcançar este objetivo.

A Fig. 7 mostra uma configuração de circuito básico de um divisor de frequência por dois paramétrico balanceado à PHEMT. A isolamento provida pelos PHEMTs garante que o circuito de casamento da saída não carrega o circuito ressonante.

Para maximização da largura de banda, o comprimento (ℓ) do ressoador deve ser minimizado [11], assim:

$$\ell \leq \lambda/8 \quad (1)$$

Usando a análise de linhas de transmissão acopladas dadas por [38] no ressoador, um circuito equivalente como o mostrado na Fig.8 pode ser obtido.

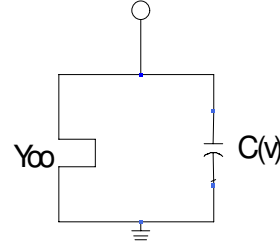


Fig. 8. Circuito equivalente ressonante de modo ímpar do ressoador.

Da Fig. 8, a admitância equivalente de modo ímpar é

$$Y_{eqo} = j \frac{w_m C(v)}{2} - j Y_{0o} \tan \theta_o \quad (2)$$

Na ressonância de modo ímpar, Y_{eqo} deve ser zero. Então,

$$Y_{0o} \cot \theta_o = \frac{w_m C(v)}{2} \quad (3)$$

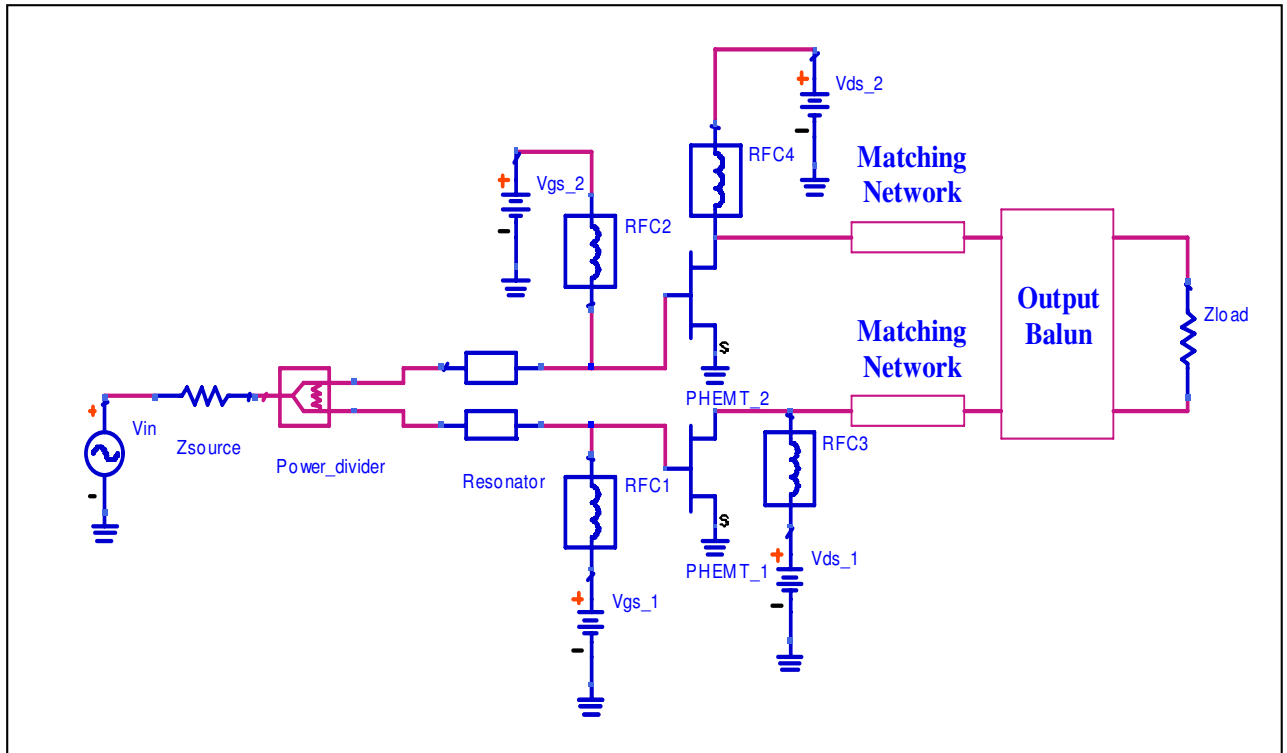


Fig. 7. Circuito de um divisor de frequência paramétrico balanceado.

Após algumas manipulações, (3) torna-se

$$Z_{0o} = \frac{2 \cot \theta_o}{w_{in} C(v)} \quad (4)$$

Para que as linhas sejam fisicamente realizáveis [38], a condição é

$$\frac{Z_{0e}}{Z_{0o}} > 1 \quad (5)$$

Usando (1), (4) e (5), tendo f_{in} e $C(v)$, pode-se escolher θ_o , depois calcular Z_{0o} . Então, Z_{0e} pode ser obtido de

$$Z_{0e} = \frac{Z_{0o}^2}{Z_{0o}} \quad (6)$$

As dimensões das linhas acopladas são, então, calculadas, usando-se o software LineCalc, ou utilizando-se [39].

IX. CONCLUSÕES

Uma proposta de receptor digital de GE empregando uma cascata de divisores de frequência por dois, como conversor de frequência, foi apresentada. Também, foi realizada uma breve descrição dos tipos de divisores de frequência mais comuns. Foi mostrado que os divisores de frequência por dois balanceados paramétricos baseados em PHEMTs são fortes candidatas ao emprego em receptores digitais. Finalmente, foi apresentado um mecanismo de cálculo para o circuito ressoador de um divisor de frequência por dois. Para se completar o projeto do divisor, foi sugerido o uso de um transformador “balun” de multiseções de linhas acopladas com “septum” de sintonia no plano de terra.

REFERÊNCIAS

- [1] J. Tsui, *Digital Techniques for Wideband Receivers*, Boston/London: Artech House, pp. 25-26, 1995.
- [2] W. D. Cornish, “Microwave Frequency Dividers, Devices and Applications,” *Proc. Military Microwave Conference*, pp. 13-18, 1980.
- [3] R. G. Harrison e T. W. Tucker, “Frequency Division Solves Systems Problems,” *Microwave Systems News*, pp. 97-101, October 1978.
- [4] J. Bahl e P. Bhartia, *Microwave Solid-State Circuit Design*, New York: John Wiley & Sons, pp. 717-753, 1988.
- [5] C. Rauscher, “Regenerative Frequency Division with GaAs FET,” *IEEE Trans. Microwave Theory & Tech.*, vol. 32, no. 11, pp. 1461-1468, November 1984.
- [6] “Vitesse Sets Record with 152 GHz Static Frequency Divider Circuits”, 4/15/2004, Acessado em 23/03/2007., em <http://www.embeddedstar.com/press/content/2004/4/embedded14080.html>.
- [7] R. Soares (Ed.), *GaAs MESFET Circuit Design*, Norwood: Artech House, pp. 442-448, 1988.
- [8] L. F. Fei, “Frequency Divider Design Strategies,” *RFdesign*, pp. 18-26, March 2005.
- [9] Z. Heshmati, I. Hunter e R. Pollard, “MMIC Frequency Dividers,” *1st EMRS DTC Technical Conference*, section C9, Edinburgh, 2004.
- [10] J. W. Mc Connel, “A Parametric Frequency Divider Using Hyperabrupt Junction Diode Capacitance,” *IEEE Journal of Solid-State Circuits*, pp.311-312, 1968.
- [11] R. G. Harrison, “A Broad-Band Frequency Divider Using Microwave Varactors,” *IEEE Trans. Microwave Theory & Tech.*, vol. 25, no. 12, pp. 1055-1059, December 1977.
- [12] M. Karadeniz, “Novel Widelband Frequency Divider Employing Two Step-Recovery Diodes,” *Electronics Letters*, vol.10, no. 14, pp.283-285, July 1974.
- [13] R. L. Fortescue, “Quasi-Stable Frequency-Dividing Circuits,” *Journal of IEE*, vol.84, pp. 693-698, 1939.
- [14] R. L. Miller, “Fractional-Frequency Generators Utilizing Regenerative Modulation”, *Proceedings of the IRE*, vol.27, no.7, pp 446-457, July 1939.
- [15] L. C. Upadhyayula e S. Y. Narayan, “Microwave Frequency Division Using Transferred Electron Devices”, *Electronics Letters*, vol. 9, no.2, pp. 85-86, February 1973.
- [16] C. J. Huang, *et al.*, “Dynamic Microwave Frequency Division Characteristics of Coplanar Transferred-Electron Devices”, *IEEE Trans. Microwave Theory & Tech.*, vol. MTT-24, no.1, pp 61-63, January 1976.
- [17] S. V. Ahamed, *et al.*: “Study and Fabrication of a Frequency Divider-Multiplier Scheme for High-Efficiency Microwave Power”, *IEEE Trans. Communications*, pp. 243-249, February 1976.
- [18] H. Wu e L. Zhang, “A 16-to-18-GHz 0.18 μ m Epi-CMOS Divide-by-3 Injection-Locked Frequency Divider,” *IEEE Inter. Solid-State Circuits Conference*, pp.27-29, 2006.
- [19] H. R. Rategh e T. H. Lee, “Superharmonic Injection Locked Oscillators as Low Power Frequency Dividers,” *1998 Symposium on VLSI Circuits Digest of Technical Papers*, pp. 132-135, 1998.
- [20] J. Jeong e Y. Kwon, “V-Band High-Order Harmonic Injection-Locked Frequency-Divider MMICs with Wide Bandwidth and Low-Power Dissipation”, *IEEE Trans. Microwave Theory & Tech.*, vol.53, no.6, pp. 1891-1897, June, 2005.
- [21] X. Zhang e I. Gresham, “An Analogue Frequency-Division Approach for Subharmonic Generation in Microwave VCOs”, *1998 IEEE MTT-S Inter. Microwave Symposium Digest*, pp. 1581-1584, 1998.
- [22] Y. Kawano, *et al.*, “High-Speed Operation of a novel Frequency Divider Using Resonant Tunneling Chaos Circuit,” *Proc. 2001 Inter. Conference on Indium Phosphide and Related Materials*, pp.236-239, May 2001.
- [23] S. P. Stapleton, M. G. Stubbs e J. S. Wight, “GaAs Monolithic Analogue Frequency Halver,” *Electronic Letters*, vol. 22, pp. 773-774, 1986.
- [24] G. R. Sloan, “The Modeling, Analysis and Design of Filter-Based Parametric Frequency Dividers,” *IEEE Trans. Microwave Theory & Tech.*, vol. 41, no. 2, pp. 224-228, February 1983.
- [25] J. M. Manley e H. E. Rowe, “Some General Properties of Nonlinear Elements - Part I - General Energy Relations,” *Proc. IRE*, vol. 44, pp. 904-913, 1956.
- [26] P. Penfield, e R. P. Rafuse, *Varactor Applications*, Cambridge: MIT Press, pp. 436-483, 1962.
- [27] J. Hilibrand e W. R. Beam, “Semiconductor Diodes in Parametric Subharmonic Oscillators,” *RCA Review*, pp. 229-253, June 1959.
- [30] G. A. Kalivas e R. G. Harrison, “A New Slotline-Microstrip Frequency Halver,” *IEEE MTT-S Inter. Microwave Symposium Digest*, pp. 683-686, 1985.
- [31] R. G. Harrison e W. D. Cornish, “Varactor Frequency Halver with Enhanced Bandwidth and Dynamic Range,” *IEEE MTT-S Inter. Microwave Symposium Digest*, pp. 305-308, 1986.
- [32] Z. Nativ, “The Application of a Frequency Multiplier Design Method to the Design of Microwave Parametric Dividers,” *IEEE Trans. Microwave Theory & Tech.*, vol. 35, no. 2, pp. 189-194, February 1987.
- [33] Z. Nativ, “A New Reversible Varactor Frequency Halver/Doubler Device,” *IEEE MTT-S Inter. Microwave Symposium Digest*, pp.921-924, 1987.
- [34] I. Kallfass, H. Schumacher e T. J. Brazil, “A Unified Approach to Charge-Conservative Capacitance Modelling in HEMTs,” *IEEE Microwave and Wireless Components Letters.*, vol. 16, no. 12, pp. 678-680, December 2006.
- [35] Z. Heshmati, I. C. Hunter e R. D. Pollard, “PHEMT Frequency Dividers,” *3rd EMRS DTC Technical Conference*, section A17, Edinburgh, 2006.
- [36] K. S. Ang, Y. C. Leong, e C. H. Lee, “Multisection Impedance-Transforming Coupled-Line Baluns,” *IEEE Trans. Microwave Theory & Tech.*, vol. 51, no. 2, pp. 536-541, February 2003.
- [37] R. Sato e E. G. Cristal, “Simplified Analysis of Coupled Transmission-Line Networks,” *IEEE Trans. Microwave Theory & Tech.*, vol. 18, no. 3, pp. 122-131, March 1970.
- [38] D. M. Pozar, *Microwave Engineering*, 2nd Ed., New York: John Wiley & Sons, 2003.
- [39] J. A. Weiss e T. G. Bryant, “Even and Odd Mode Characteristic Impedance for Coupled Microstrip,” *Microwave Engineer's Handbook*, vol. 1, Dedham: Artech House, pp. 132-133, 1971.